

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-004145

(43)Date of publication of application : 06.01.1999

(51)Int.Cl.

H03K 5/00

(21)Application number : 09-157028

(71)Applicant : NEC CORP

(22)Date of filing : 13.06.1997

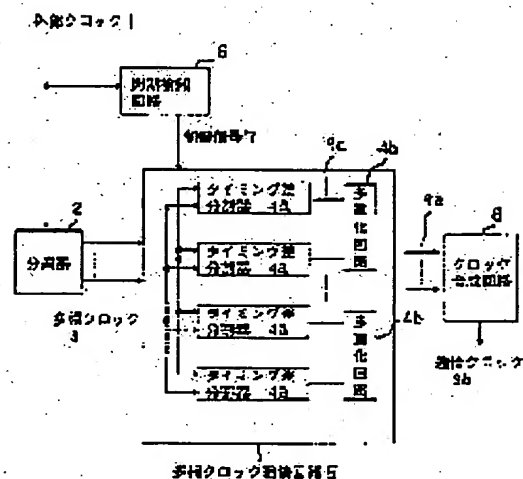
(72)Inventor : SAEKI TAKANORI

## (54) CLOCK SIGNAL CONTROL METHOD AND DEVICE THEREFOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a clock signal control method capable of easily generating a multiplied clock without using a loop configuration at high speed and being used as a variable delay circuit by dividing the external clock into clocks of multiple phases and taking the intermediate timing of respective phases.

**SOLUTION:** The external clock 1 is divided into the clocks 3 is multiple phases. The input timing difference of the different phase pulse edges of the multiphase clocks 3 which are frequency-divided is divided. Namely, a frequency divider 2 frequency-divides the outer clock 1 into the clocks 3 of multiple phases. A multiphase clock multiplication circuit 5 has timing difference dividers 4a dividing the pulses different phases of the different phase clocks in the multiphase clocks 3 into (n), timing difference dividers 4a dividing the pulse of the same phase into (n) and multiplex circuits 4b multiplexing the pulses 9c of the different phases which are divided into (n). The clocks 9a of the multiple phases are outputted. A clock synthesis circuit 8 synthesizes the multiphase clocks 9a and generates the clock 9b of a single phase.



## LEGAL STATUS

[Date of request for examination]

13.06.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3346224

[Date of registration]

06.09.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-4145

(43) 公開日 平成11年(1999) 1月6日

(51) Int.Cl.<sup>6</sup>  
H 0 3 K 5/00

識別記号

F I  
H 0 3 K 5/00

M

審査請求 有 請求項の数 8 O L (全 15 頁)

(21) 出願番号 特願平9-157028

(22) 出願日 平成9年(1997) 6月13日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 佐伯 貴範

東京都港区芝五丁目7番1号 日本電気株  
式会社内

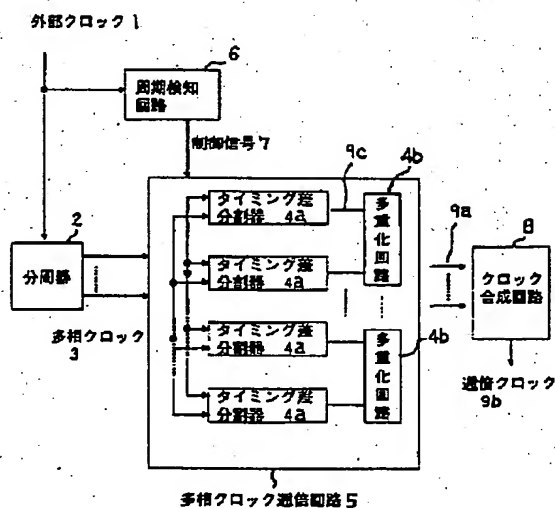
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 クロック信号制御方法及びその装置

(57) 【要約】

【課題】 高速性を実現し、かつ可変遅延回路としても利用可能なクロック信号の制御方法及びその装置を提供する。

【解決手段】 外部クロック1を分周器2で分周して多相クロック3を発生させ、多相クロック3を多相クロック遅倍回路5に入力し、多相クロックの異なる位相パルスエッジの入力タイミング差を分割し、前記分割した相の異なるクロックを多重化して外部クロックの相を倍増する。



## 【特許請求の範囲】

【請求項1】 外部クロックを逡倍するクロック信号制御方法であって、

外部クロックを多相のクロックに分周し、  
分周された前記多相クロックの異なる位相パルスエッジの入力タイミング差を分割することを特徴とするクロック信号制御方法。

【請求項2】 外部クロックを逡倍するクロック信号制御方法であって、

外部クロックを多相のクロックに分周し、  
分周された前記多相クロックの異なる位相パルスエッジの入力タイミング差を分割し、  
前記分割した相の異なるクロックを多重化して前記外部クロックの相を倍増することを特徴とするクロック信号制御方法。

【請求項3】 分周器と、多相クロック逡倍回路とを有し、クロックを逡倍するクロック信号制御装置であって、

前記分周器は、外部クロックを多相のクロックに分周するものであり、

前記多相クロック逡倍回路は、前記多相クロックのうち異なる位相クロックの異なる相のパルスを $n$ 分割するタイミング差分割器と、同じ相のパルスを $n$ 分割するタイミング差分割器と、前記 $n$ 分割された異なる相のパルスを多重化する多重化回路とを有し、逡倍した多相のクロックを出力するものであることを特徴とするクロック信号制御装置。

【請求項4】 クロック合成回路を有し、  
該クロック合成回路は、前記多重化回路から出力される多相クロックを合成して単相のクロックを生成するものであることを特徴とする請求項2に記載のクロック信号制御装置。

【請求項5】 前記多相クロック逡倍回路は、複数直列接続したものであることを特徴とする請求項2に記載のクロック信号制御装置。

【請求項6】 前記タイミング差分割器は、2入力タイミング差を任意の比率で分割するものであることを特徴とする請求項2に記載のクロック信号制御装置。

【請求項7】 前記タイミング差分割器は、ゲート幅を異らせたMOS型トランジスタと、容量を異らせた容量素子とを組合わせて構成したものであることを特徴とする請求項5に記載のクロック信号制御装置。

【請求項8】 前記ゲート幅及び容量を調整することにより、倍増又は逡倍の比率を任意に設定するものであることを特徴とする請求項5又は6に記載のクロック信号制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、クロック信号の制御方法及びその装置に関する。

## 【0002】

【従来の技術】従来のクロック信号逡倍回路は、例えば、図21 (ISSCC Digest of Technical Papers pp. 216-217, Feb. 1996, USP5, 422, 835, USP5, 530, 837) に示されるように、4逡倍の場合には、4組の逡延回路301、302、303、304と、器310とから構成されていた。また、第1～第4の逡延回路301、302、303、304は、それぞれ第1～第4の切替器305～308によって出力端子が選択されるものであり、4組の逡延回路301～304は直列に接続されていた。

【0003】そして、外部から入力される第1のクロック311と4組の逡延回路列301～304を通過した第5のクロック315とが位相比較器309で比較され、その比較結果に基づいてUP信号316またはDOWN信号317が計数器310に転送され、計数器310から切替器305～308に制御信号318が出力され、第1のクロック311と第5のクロック315との位相が等しくなるように調整されていた。

【0004】ここで、4組の逡延回路301～304の逡延時間は等しく調整されるため、その逡延時間も等しくなり、第1のクロック311、第2のクロック312、第3のクロック313、第4のクロック314のタイミング差は等しく、そのタイミング差は、クロック周期の $1/4$ になる。したがって、第1のクロック311、第2のクロック312、第3のクロック313、第4のクロック314を合成することにより、4逡倍のクロックを得る。

【0005】またクロック信号を逡倍する回路としては、フェーズロックループ (PLL) が用いられている。図22に示すように、フェーズロックループでは、電圧制御発信器322からの出力が分周器323を用いて分周され、その分周信号と外部クロック324とが位相比較器319で比較され、その比較結果がUP信号325またはDOWN信号326としてチャージポンプ320及びループフィルタ321を介して電圧制御発信器322に入力され、その信号によって電圧制御発信器322が制御され、電圧制御発信器322の出力を分周したクロックが、外部クロック324と等しい周波数になるように調節される。これにより、電圧制御発信器322は、分周数の逆倍数の逡倍クロック327を出力するようになっていた。

## 【0006】

【発明が解決しようとする課題】しかしながら、図21に示す回路では、直列接続した逡延回路列を通過した信号と外部クロックとを数十回以上比較し、その比較毎に徐々に逡延差、位相差を補正する構成であり、また図22に示す回路では、電圧制御発信器の出力を分周したクロックが外部クロックと等しい周波数になるように数十

回以上調整して徐々に遅延差、位相差を補正する構成であるため、遅延されたクロックを得るまでに数十クロック以上待つ必要があり、高速性に欠けるという問題があった。

【0007】また、図21及び図22に示す回路は、基本的にクロック制御にしか使用できず、遅延度を可変する遅延回路として使用することは、不可能であった。

【0008】本発明の目的は、高速性を実現し、かつ可変遅延回路としても利用可能なクロック信号の制御方法及びその装置を提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するため、本発明に係るクロック信号制御方法は、外部クロックを遅延するクロック信号制御方法であって、外部クロックを多相のクロックに分周し、分周された前記多相クロックの異なる位相パルスエッジの入力タイミング差を分割するものである。

【0010】また本発明に係るクロック信号制御方法は、外部クロックを遅延するクロック信号制御方法であって、外部クロックを多相のクロックに分周し、分周された前記多相クロックの異なる位相パルスエッジの入力タイミング差を分割し、前記分割した相の異なるクロックを多重化して前記外部クロックの相を増倍するものである。

【0011】また本発明に係るクロック信号制御装置は、分周器と、多相クロック遅延回路とを有し、クロックの相を増倍するクロック信号制御装置であって、前記分周器は、外部クロックを多相のクロックに分周するものであり、前記多相クロック遅延回路は、前記多相クロックのうち異なる位相クロックの異なる相のパルスを $n$ 分割するタイミング差分割器と、同じ相のパルスを $n$ 分割するタイミング差分割器と、前記 $n$ 分割された異なる相のパルスを多重化する多重化回路とを有し、遅延した多相のクロックを出力するものである。

【0012】またクロック合成回路を有し、該クロック合成回路は、前記多重化回路から出力される多相クロックを合成して単相のクロックを生成するものである。

【0013】また前記多相クロック遅延回路は、複数直列接続したものである。

【0014】また前記タイミング差分割器は、2入力タイミング差を任意の比率で分割するものである。

【0015】また前記タイミング差分割器は、ゲート幅を異ならせたMOS型トランジスタと、容量を異ならせた容量素子とを組合わせて構成したものである。

【0016】また前記ゲート幅及び容量を調整することにより、増倍又は遅延の比率を任意に設定するものである。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図を参照して説明する。

【0018】（実施形態）図1は、本発明の一実施形態を示す構成図である。

【0019】図において、本発明の実施形態に係るクロック信号制御方法は、外部クロックを遅延するものであって、外部クロック1を多相のクロック3に分周し、分周された多相クロック3の異なる位相パルスエッジの入力タイミング差を分割する、或いは、その分割した相の異なるクロック9cを多重化し、外部クロック1の相を増倍するものである。

【0020】また本発明の実施形態に係るクロック信号制御方法を実施する装置は、分周器2と、多相クロック遅延回路5と、クロック合成回路8とを有している。

【0021】分周器2は、外部クロック1を多相のクロック3に分周するようになっている。また多相クロック遅延回路5は、多相クロック3のうち異なる位相クロックの異なる相のパルスを $n$ 分割するタイミング差分割器4aと、同じ相のパルスを $n$ 分割するタイミング差分割器4aと、 $n$ 分割された異なる相のパルス9cを多重化する多重化回路4bとを有し、多相のクロック9aを出力するようになっている。またクロック合成回路8は、多重化回路4bから出力される多相クロック9aを合成して単相のクロック9bを生成するようになっている。ここに、タイミング差分割器4aは並列接続されている。

【0022】図1において、外部クロック1を多相のクロック3に分周し、分周された多相クロック3の異なる位相パルスエッジの入力タイミング差をタイミング差分割回路4aにより分割し、分割した相の異なるクロック9cを多重化して外部クロック1を増倍する。これにより、多相クロックの相が増倍される。

【0023】次に、本発明の実施形態に係るクロック信号制御装置の具体例を図を用いて説明する。

【0024】（実施例1）図2は、本発明の実施形態に係るクロック信号制御装置の具体例を実施例1として示す構成図である。

【0025】図2に示す使用例は、外部クロック1を2分周し、これを2倍周した2相のクロックを出力するようにしたものである。図2において、分周器2は、外部クロック1を2分周して、2相のクロック $D_1$ 、 $D_2$ （3）を生成するようになっている。

【0026】また2相クロック遅延回路（多相クロック遅延回路）5（ $5_1 \sim 5_n$ ）は、複数直列接続した構成となっている。複数の二相クロック遅延回路 $5_1 \sim 5_n$ は、分周された多相クロック3の異なる位相パルスエッジの入力タイミング差を分割し、初段の二相クロック遅延回路 $5_1$ は分周器2からの2相クロック $D_1$ 、 $D_2$ を倍周した二相のクロック信号 $D_{11}$ 、 $D_{12}$ を生成し、同様に二相クロック遅延回路 $5_2$ 、 $5_3 \dots 5_{n-1}$ も前段のクロック $D_{21}$ 、 $D_{22}$ を次々に倍周し、最終段の二相クロック遅延回路 $5_n$ より外部クロック1を $2n$ 倍した二相のク

ロック $D_{n1}$ 、 $D_{n2}$ を得るようになっている。

【0027】クロック合成回路8は、最終段の二相クロック逡倍回路 $5_n$ から出力される $2n$ 逡倍の二相クロック $D_{n1}$ 、 $D_{n2}$ を合成し、逡倍したクロック9bを出力するようになっている。

【0028】また周期検知回路6は、外部クロック1を入力として、各二相クロック逡倍回路 $5_1 \sim 5_n$ に含まれるタイミング差分割器のクロック周期依存を補正して負荷を調整するための制御信号7を各二相クロック逡倍回路 $5_1 \sim 5_n$ に出力するようになっている。実施例1の周期検知回路6は、固定された段数のリングオシレータとカウンタから構成され、外部クロック1の周期中のリングオシレータ発信回数をカウンタでカウントし、そのカウント数に応じて制御信号7を出力するようになっている。

【0029】二相クロック逡倍回路 $5_1 \sim 5_n$ は、周期検知回路6からの制御信号7により、特性のばらつきが解消される。

【0030】図2に示す実施例1の回路では、図3に示すように、外部クロック1を $1/2$ 分周器2で分周し、二相のクロック $D_1$ 、 $D_2$ を生成し、このクロック $D_1$ 、 $D_2$ を初段の二相クロック逡倍回路 $5_1$ で逡倍し二相のクロック $D_{11}$ 、 $D_{12}$ を生成する。同様の過程を二相クロック逡倍回路 $5_2 \sim 5_n$ にて繰返し、最終段の二相クロック逡倍回路 $5_n$ より最終的に $2n$ 逡倍した二相クロック $D_{n1}$ 、 $D_{n2}$ を得る。このクロック $D_{n1}$ 、 $D_{n2}$ をクロック合成回路8で合成し、逡倍クロック9bを得る。

【0031】図3に示す例の場合、 $n=4$ に設定したものであり、クロック9cは、外部クロック1と同一の周期をもち、外部クロック1を逡倍した信号として得られるように設定されているが、 $n=4$ の場合に限定されるものではなく、 $n$ は所望の整数に設定すればよい。

【0032】次に、図2に示す二相クロック逡倍回路5の内部構成を図4を用いて説明する。図2に示す複数組の二相クロック逡倍回路 $5_1 \sim 5_n$ は同一構成のものであり、最終段の二相クロック逡倍回路 $5_n$ を例にとって説明する。また二相クロック逡倍器 $5_n$ の構成は、 $n=4$ に設定した場合のものである。

【0033】二相クロック逡倍回路 $5_n$ は、4組の並列接続したタイミング差分割器 $4a_1 \sim 4a_4$ と、2組の多重化回路 $4b_1$ 、 $4b_2$ とを有している。4組のタイミング差分割器 $4a_1 \sim 4a_4$ は、二相のクロック $D_{(n-1)1}$ 、 $D_{(n-1)2}$ が2つの入力端に入力するようになっており、かつ制御信号7及び相補関係のタイミング差分割器 $4a_1 \sim 4a_4$ からの4相のクロック(9c) $P_1$ 、 $P_2$ 、 $P_3$ 、 $P_4$ が逡還入力されるようになっている。

【0034】また、2組の多重化回路 $4b_1$ 、 $4b_2$ は、4組のタイミング差分割器 $4a_1 \sim 4a_4$ からの二相のクロック $P_1$ 、 $P_3$ と $P_2$ 、 $P_4$ を入力として多重化し、二相のクロック $D_{n1}$ 、 $D_{n2}$ を生成するようになっている。

【0035】次に図4に示す回路の動作を図5を用いて説明する。二相クロック逡倍回路 $5_n$ には、前段からの二相クロック $D_{(n-1)1}$ と $D_{(n-1)2}$ および周期検知回路6からの制御信号7が入力し、逡倍した二相クロック $D_{n1}$ と $D_{n2}$ を出力する。二相クロック逡倍回路 $5_n$ では、二相クロック $D_{(n-1)1}$ と $D_{(n-1)2}$ と制御信号7は、4組のタイミング差分割器 $4a_1 \sim 4a_4$ のすべてに入力し、クロック $P_1 \sim P_4$ が4組のタイミング差分割器 $4a_1 \sim 4a_4$ から出力し、かつクロック $P_1 \sim P_4$ が対応する各タイミング差分割器 $4a_1 \sim 4a_4$ に逡還入力する。

【0036】図5で示すように、クロック $P_1$ の立上がりは、クロック $D_{(n-1)1}$ の立上がりからの内部遅延分の遅れで決定される。クロック $P_2$ の立上がりは、クロック $D_{(n-1)1}$ の立上がりとクロック $D_{(n-1)2}$ の立上りのタイミングのタイミング分割と内部遅延分の遅れで決定される。クロック $P_3$ の立上がりは、クロック $D_{(n-1)2}$ の立上がりからの内部遅延分の遅れで決定される。クロック $P_4$ の立上がりは、クロック $D_{(n-1)2}$ の立上がりとクロック $D_{(n-1)1}$ の立上りのタイミングのタイミング分割と内部遅延分の遅れにより決定される。

【0037】また、クロック $P_2$ は、タイミング差分割器 $4a_1$ に入力しクロック $P_1$ の立下がりを制御し、クロック $P_3$ は、タイミング差分割器 $4a_2$ に入力しクロック $P_2$ の立ち下がり制御し、クロック $P_4$ は、タイミング差分割器 $4a_3$ に入力しクロック $P_3$ の立ち下がり制御し、クロック $P_1$ は、タイミング差分割器 $4a_4$ に入力しクロック $P_4$ の立ち下がり制御する。

【0038】したがって、クロック $P_1$ 、 $P_2$ 、 $P_3$ 、 $P_4$ は、その周期がクロック $D_{(n-1)1}$ と $D_{(n-1)2}$ と等しく、ほぼデューティ25%の4相の信号となる。

【0039】さらにクロック $P_1$ と $P_3$ は、多重化回路 $4b_1$ に入力して多重化され、クロック信号 $D_{n1}$ として出力される。クロック $P_2$ と $P_4$ は、多重化回路 $4b_2$ に入力して多重化され、クロック信号 $D_{n2}$ として出力される。クロック $D_{n1}$ と $D_{n2}$ は、その周期がクロック $D_{(n-1)1}$ と $D_{(n-1)2}$ の $1/2$ 、ほぼデューティ50%の2相クロックになる。

【0040】次に図4に用いたタイミング差分割器 $4a_1 \sim 4a_4$ の具体例を図6～図9を用いて説明する。図6～図9において、MP11、MP21、MP31、MP41はPチャネルMOS型FET(以下、PMOSという)、MN11、MN12、MN13、MN14、MN15、MN16、MN17、MN18、MN19、MN21、MN22、MN23、MN24、MN25、MN26、MN27、MN28、MN29、MN31、MN32、MN33、MN34、MN35、MN36、MN37、MN38、MN39、MN41、MN42、MN

43、MN44、MN45、MN46、MN47、MN48、MN49はNチャネルMOS型FET（以下、NMOSという）、CAP11、CAP12、CAP13、CAP21、CAP22、CAP23、CAP31、CAP32、CAP33、CAP41、CAP42、CAP43は容量素子である。

【0041】図6～図9に示すタイミング差分割器4a<sub>1</sub>～4a<sub>4</sub>は、等しい素子構成からなり、1つの2入力NAND10、1つのインバータ11、1つのPMOS、3組の2つ直列に接続したNMOS、3組のNMOSと容量素子から構成されている。3つのNANDは、全て等しいゲート幅からなり、3組のNMOSのゲート幅と容量素子の容量は、1:2:4のサイズ比となっている。

【0042】接続は、一部分を除き等しいので、ここではまず、図6、図7共通の接続の説明をする。PMOS MP11、21のソースは、電源VCCに接続し、3組の2つ直列に接続したNMOS MN11～16、21～26のソース及び3つ容量素子CAP11～13、21～23のそれぞれ一方の電極は、GNDに接続する。PMOS MP11、21のドレイン、3組の2つ直列に接続したNMOS MN11～16、21～26のドレイン、および、容量素子CAP11～13、CAP21～23に接続したNMOS MN17～19、27～29の容量素子CAP11～13、21～23と反対側の電極は、すべて同じ共通ノード（図6では、N12。図7では、N22）に接続する。このノードは、インバータ11に接続する。3組の2つ直列に接続したNMOS MN17～19、27～29のGNDに近い側の3つのNMOS MN17～19、27～29のゲートおよび、PMOS MP11、21のゲートは、2入力NAND10の出力側に接続する。容量素子に接続したNMOS MN17～19、MN27～29のゲートには、制御信号7が入力し、共通ノードの負荷を制御信号7で可変にする。本実施例では、NMOS MN17～19、MN27～29と容量素子CAP11～13、21～23とは、1:2:4のサイズ比となっていることより、8段階に調整できる。3組の2つ直列に接続したNMOSのGNDに近い側の3つのNMOSのゲートの接続のみが、図6、図7で異なる接続となっている。図6では、NMOS MN11のゲートは、GNDに接続し、MN12、13のゲートには、クロックD(n-1)<sub>1</sub>が入力するようになっている。図7では、MN21のゲートには、クロック信号D(n-1)<sub>1</sub>が入力し、MN22、23のゲートには、信号D(n-1)<sub>2</sub>が入力するようになっている。

【0043】次に、タイミング差分割器4a<sub>1</sub>～4a<sub>4</sub>の内部動作を図10を用いて説明する。図6と図8に示すタイミング差分割器4a<sub>1</sub>、4a<sub>3</sub>は、入出力信号以外は、同じ回路構成であり、図7と図9に示すタイミング

差分割器4a<sub>2</sub>、4a<sub>4</sub>は、入出力信号以外は、同じ回路構成であるため、図6、図7に示すタイミング差分割器4a<sub>1</sub>、4a<sub>2</sub>について説明する。

【0044】図6に示すタイミング差分割器4a<sub>1</sub>の内部動作については、図10のt<sub>1</sub>からt<sub>3</sub>期間で1周期になっているため、その1周期の期間の内部ノード波形を図示してある。まず、クロックP<sub>1</sub>の立上がりタイミングについて説明する。クロックD(n-1)<sub>1</sub>の立上がりエッジによりノードN12のチャージがNMOS MN12、MN13に引き抜かれ、それにより、ノードN12の電位がインバータ11のしきい値に達したところで、インバータ11からのクロックP<sub>1</sub>のエッジが立上がる。インバータ11のしきい値に達したところまで引き抜く必要のあるノードN12の電荷をCVとし、NMOS MN12、MN13のチャージ引き抜きの電流値をそれぞれIとすると、クロックD(n-1)<sub>1</sub>からCVの電荷量を2Iの電流で引き抜いた結果、すなわちCV/2I

がクロックD(n-1)<sub>1</sub>の立上がりエッジからクロックP<sub>1</sub>の立上がりまでのタイミングを表す。

【0045】クロックP<sub>1</sub>の立下がりタイミングは、2入力NAND10の出力がLowになることで、PMOS MP11が導通し、ノードN12がHighに充電されることによる。2入力NAND10には、クロックD(n-1)<sub>2</sub>とクロックP<sub>2</sub>が入力し、クロックD(n-1)<sub>2</sub>とクロックP<sub>2</sub>が両者Highの時のみ出力は、Lowになる。実際、クロックP<sub>2</sub>がHighの期間は、クロックD(n-1)<sub>2</sub>がHighの期間内に収まるので、出力されるクロックは、クロックP<sub>2</sub>を反転させたパターンになるが、パワーのon時にクロックP<sub>2</sub>の初期値が確定しない時に使うことになるので、クロックD(n-1)<sub>2</sub>との間に論理を取っている。

【0046】図7に示すタイミング差分割器4a<sub>2</sub>の内部動作についても、図10のt<sub>1</sub>からt<sub>3</sub>期間で1周期になっているので、その1周期の期間内部ノード波形を図示してある。まず、クロックP<sub>2</sub>の立上がりタイミングについて説明する。クロックD(n-1)<sub>1</sub>の立上がりエッジから時間tCKnの期間ノードN22のチャージがNMOS MN21に引き抜かれ、時間tCKn後、クロックD(n-1)<sub>2</sub>の立上がりエッジからノードN22の残りのチャージがNMOS MN22、23に引き抜かれ、それにより、ノードN22の電位がインバータ11のしきい値に達したところでクロックP<sub>2</sub>のエッジが立上がる。ノードN22の電荷をCVとし、NMOS MN21、MN22、MN23のチャージ引き抜きの電流値をそれぞれIとすると、クロックD(n-1)<sub>1</sub>からCVの電流をtCKnの期間Iの電流で引き抜き、残りの期間を2Iで引き抜いた結果、すなわちtCKn + (CV - tCKn · I) / 2I = CV + tCKn / 2

がクロック $D(n-1)_1$ の立上がりエッジからクロック $P_2$ の立上がりまでのタイミングを表す。従って、クロック $P_1$ の立上がりとのタイミング差をみると、丁度 $tCKn/2$ となる。

【0047】クロック $P_2$ の立下がりタイミングは、2入力NAND10の出力がLowになることで、PMOS MP21が導通し、ノードN22がHighに充電されることによる。2入力NAND10には、クロック $D(n-1)_2$ とクロック $P_3$ が入力し、クロック $D(n-1)_2$ とクロック $P_3$ が両者Highの時のみ出力は、Lowになる。

【0048】次にクロック $P_3$ 、 $P_4$ について説明する。クロック $P_1$ と $P_3$ の立上がりタイミング差は、クロック $D(n-1)_1$ の立上がりエッジとクロック $D(n-1)_2$ の立上がりエッジのタイミング差が $tCKn$ であることより、 $tCKn$ となる。従って、クロック $P_2$ と $P_3$ との立上がりタイミング差も、 $1/2 tCKn$ になる。同様にクロック $P_3$ と $P_4$ 、 $P_4$ と $P_1$ の立上がりタイミング差も、 $1/2 tCKn$ になる。従って、前述したようにクロック $P_1$ 、 $P_2$ 、 $P_3$ 、 $P_4$ は、25%の4相の信号となる。クロック $P_1$ と $P_3$ 、 $P_2$ と $P_4$ がそれぞれ図11に示したNOR12とインバータ13からなる多重化回路 $4b_1$ 、 $4b_2$ で多重化され、デューティ50%の2相クロック信号になる。

【0049】クロック $P_1$ の立上がりに対し、クロック $P_2$ の立上がりは $1/2 tCKn$ になるためには、ノードN22の電荷を $tCKn$ の期間NMOS MN21で引き抜いてもインバータ11のしきい値に達しない条件、すなわち

$$CV - tCKn \cdot I > 0$$

を満たす必要がある。ところが、 $tCKn$ は、外部クロック1の周期で設計時にあらかじめ決まっておらず、 $I$ もまたデバイス特性によりばらつく。そこで、 $CV$ 値を外部クロック1の周期およびデバイス特性に応じて変更することで対応している。

【0050】既に説明したように容量素子と接続したNMOSのゲート(図6では、MN17~19)には、制御信号7が入力し、共通ノード(図6では、N12)の負荷を制御信号7で可変に出来る。本実施例では、NMOSと容量素子ともに、1:2:4のサイズ比となっていることより、8段階に調整できる。また、同じくすでに説明したように、制御信号7は、周期検知回路6において、外部クロック1の周期中のリングオシレータ発信回数をカウンターでカウントし、カウント数に応じた値である。この回路構成では、外部クロック1の周期とデバイスの特性を代表するリングオシレータの周期の相対的な関係がコード化されるので、外部クロック1の周期に対する動作範囲の増大のみならず、デバイスの特性ばらつきが解消される。

【0051】また、本実施例では、二相クロック逡倍回

路 $5_1 \sim 5_n$ を直列に接続しており、それぞれの入力クロック $D_1$ 、 $D \sim D(n-1)_1$ 、 $D(n-1)_2$ の周波数は、倍ずつ変化するため、 $CV$ 値が最適になるように容量値を二相クロック逡倍回路 $5_1 \sim 5_n$ 間で調整している。

【0052】以上説明したように、本実施例では、外部クロック1を2分周し、2相クロックを生成することにより、PLL、DLLなどのフィードバック回路を使うことなく、逡倍クロックを作ることが可能になった。

【0053】(実施例2)図12は、本発明の実施例2を示す回路図である。本実施例は、 $1/4$ 分周器2、4相クロック逡倍回路5、クロック合成回路3と、周期検知回路6からなり、複数の4相クロック逡倍回路5( $5a_1 \sim 5a_n$ )を直列に接続した構成になっている。

【0054】次に動作を図13を用いて示す。この回路では、外部クロック信号1を $1/4$ 分周器2で分周し、4相のクロック $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$ を生成し、このクロック $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$ を4相クロック逡倍回路 $5a_1$ で倍周した4相クロック $Q_{11}$ 、 $Q_{12}$ 、 $Q_{13}$ 、 $Q_{14}$ を生成する。同様の過程を4相クロック逡倍回路 $5a_2 \sim 5a_n$ まで繰り返し、 $2n$ 逡倍した4相のクロック $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$ を得る。このクロック $Q_1$ 、 $Q_2$ 、 $Q_3$ 、 $Q_4$ をクロック合成回路8で合成し、逡倍クロック9bを得る。

【0055】ここで、周期検知回路6は、固定された段数のリングオシレータとカウンターから構成され、外部クロック1の周期中のリングオシレータ発信回数をカウンターでカウントし、カウント数に応じて、制御信号7を出力し、4相クロック逡倍回路5中の負荷を調整するようになっている。この回路6により、回路の外部クロック周期の動作範囲、デバイスの特性ばらつきが解消される。

【0056】次に図14を用いて、4相クロック逡倍回路5の内部の構成について説明する。4相クロック逡倍回路 $5a_1 \sim 5a_n$ は、同じ構成になっており、ここでは、4相のクロックを逡倍出力する回路について説明する。4相クロック逡倍回路5は、8組のタイミング差分割器 $4a_1 \sim 4a_8$ 、8組のパルス幅補正回路 $4c_1 \sim 4c_8$ と、4組の多重化回路 $4b_1 \sim 4b_4$ とから構成されている。8組のタイミング差分割器 $4a_1 \sim 4a_8$ 、8組のパルス幅補正回路 $4c_1 \sim 4c_8$ と、4組の多重化回路 $4b_1 \sim 4b_4$ との内部回路については、後述する。

【0057】ここでは、4相クロック逡倍回路5の内部の接続および動作について、図14、図15を用いて説明する。4相クロック逡倍回路 $5_n$ には、前段からの4相のクロック $Q(n-1)_1 \sim Q(n-1)_4$ および周期検知回路6からの制御信号7が入力し、倍周された4相のクロック $Qn_1 \sim Qn_4$ を出力する。4相クロック逡倍回路 $5_n$ においては、制御信号7は、8組のタイミング差分割器 $4a_1 \sim 4a_8$ に入力し、クロック $Q(n-1)_1 \sim D(n-1)_4$ は、タイミング分割器 $4a_1$ 、4



$a_3$ ,  $4a_5$ ,  $4a_7$ にそれぞれ1信号ずつ入力し、タイミング分割器 $4a_2$ ,  $4a_4$ ,  $4a_6$ ,  $4a_8$ には、それぞれ2信号ずつ入力する。そして、8組のクロック $T_{2_1} \sim T_{2_8}$ が8組のタイミング差分割器 $4a_1 \sim 4a_8$ から出力する。

【0058】図15で示すように、クロック $T_{2_1}$ の立上がりは、クロック $Q(n-1)_1$ の立上がりからの内部遅延分の遅れで決定される。クロック $T_{2_2}$ の立上がりは、クロック $Q(n-1)_1$ の立上がりとクロック $Q(n-1)_2$ の立上りのタイミングのタイミング分割と内部遅延分の遅れで決定される。クロック $T_{2_3}$ の立上がりは、クロック $Q(n-1)_2$ の立上がりからの内部遅延分の遅れで決定される。クロック $T_{2_4}$ の立上がりは、クロック $Q(n-1)_2$ の立上がりとクロック $Q(n-1)_3$ の立上りのタイミングのタイミング分割と内部遅延分の遅れで決定される。クロック $T_{2_5}$ の立上がりは、クロック $Q(n-1)_3$ の立上がりからの内部遅延分の遅れで決定される。クロック $T_{2_6}$ の立上がりは、クロック $Q(n-1)_3$ の立上がりとクロック $Q(n-1)_4$ の立上りのタイミングのタイミング分割と内部遅延分の遅れで決定される。クロック $T_{2_7}$ の立上がりは、クロック $Q(n-1)_4$ の立上がりからの内部遅延分決定される。クロック $T_{2_8}$ の立上がりは、クロック $Q(n-1)_4$ の立上がりとクロック $Q(n-1)_1$ の立上りのタイミングのタイミング分割と内部遅延分の遅れで決定される。クロック $T_{2_1}$ と $T_{2_3}$ は、パルス幅補正回路216に入力し、パルス幅補正回路 $4a_1$ では、クロック $T_{2_1}$ で決定される立下がりエッジ、クロック $T_{2_3}$ で決定される立上がりエッジを有するLパルス $P_{2_1}$ を出力する。同様の手順でLパルス $P_{2_2} \sim P_{2_8}$ が生成される。従って、クロック $P_{2_1} \sim P_{2_8}$ は、位相が45度ずつずれたデューティ25%の8相のLパルス群になる。

【0059】この後、クロック $P_{2_1}$ と位相が180度ずれたクロック $P_{2_5}$ は、多重化回路 $4b_1$ で多重化反転され、デューティ25%のクロック $Q_{n_1}$ として出力される。同様の手順でクロック $Q_{n_2} \sim Q_{n_4}$ が生成される。従って、クロック $Q_{n_1} \sim Q_{n_4}$ は、位相が90度ずつずれたデューティ50%の4相のHパルス群になる。クロック $Q_{n_1} \sim Q_{n_4}$ の周期は、クロック $Q(n-1)_1 \sim Q(n-1)_4$ の丁度1/2になる。すなわちクロック $Q(n-1)_1 \sim Q(n-1)_4$ からクロック $Q_{n_1} \sim Q_{n_4}$ を生成する過程で丁度2倍に倍周されたことになる。

【0060】次に図16、図17を用いて、タイミング分割器 $4a_1 \sim 4a_8$ の内部回路について説明する。タイミング分割器 $4a_1 \sim 4a_8$ は、全く等しい回路構成を有するので、ここでは、タイミング分割器 $4a_1$ ,  $4a_2$ についてのみ説明する。図16は、タイミング分割器 $4a_1$ 、図17は、タイミング分割器 $4a_2$ の内部

部回路図である。

【0061】図16と図17は、入出力信号以外は、全く同じ回路構成であり、1つの2入力NOR、1つのインバータ、3組のNMOSと容量素子から構成されている。3組のNMOSと容量素子は、NMOSと容量素子ともに、1:2:4のサイズ比となっている。ここで、MN51~52, 61~63はNチャネル型MOSFET、14は2入力NOR、15はインバータ、CAP51~53, 61~63は容量素子である。

【0062】3つ容量素子CAP51~53, 61~63のそれぞれ一方の電極は、GNDに接続する。2入力NOR14の出力側、および容量素子と接続したNMOS MN51~52, 61~63の容量素子と接続しない側の電極は、全て同じ共通ノード(図15では、N51、図15では、N61)に接続する。このノードは、インバータ15の入力側に接続する。容量素子と接続したNMOSの MN51~52, 61~63のゲートには、制御信号7が入力し、共通ノードの負荷を制御信号7で可変に出来る。本実施例でも、NMOSのゲート幅と容量素子の容量とは、1:2:4のサイズ比となっていることより、8段階に調整出来る。

【0063】2入力NOR14への入力信号のみが、図16、図17で異なる。図16では、2入力NOR14に同じ2つのクロック $Q(n-1)_1$ が入力し、図17では、2入力NOR14に異なるクロック $Q(n-1)_1$ とクロック $Q(n-1)_2$ が入力する。図16では、クロック $Q(n-1)_1$ と制御信号7とが入力し、クロック $T_{2_1}$ が出力する。図17では、クロック $Q(n-1)_1$ ,  $Q(n-1)_2$ と制御信号7が入力し、クロック $T_{2_2}$ が出力する。

【0064】次に、タイミング差分割器 $4a_1$ とタイミング差分割器 $4a_2$ の内部動作を図18を用いて説明する。

【0065】図16のタイミング差分割器 $4a_1$ の内部動作については、図18の $t_{c21}$ から $t_{c24}$ の期間で動作部分が完了するので、その1期間の内部ノード波形を図示してある。まず、出力されるクロック $T_{2_1}$ の立上がりタイミングについて説明する。クロック $Q(n-1)_1$ の立上がりエッジによりノードN51のチャージがNOR14に引き抜かれそれにより、ノードN51の電位がインバータ15のしきい値に達したところで、インバータ15からクロック $T_{2_1}$ のエッジが立上がる。インバータ15のしきい値に達したところまで引き抜く必要のあるノードN51の電荷をCVとし、NMOSそれぞれのチャージ引き抜きの電流値をそれぞれIとすると、クロック $Q(n-1)_1$ の立上がりからCVの電荷量を2Iの電流で引きぬいた結果、すなわち $CV/2I$

がクロック $Q(n-1)_1$ の立上がりエッジからクロック $T_{2_1}$ の立上がりまでのタイミングを表す。クロック



T2<sub>1</sub>の立上がりタイミングは、クロックQ(n-1)<sub>1</sub>がLowになり、2入力NOR14の出力側ノードN51がHighに充電されることによる。

【0066】図17のタイミング差分割器4a<sub>2</sub>の内部動作についても、図18のt a 21からt a 24の期間で動作部分がほぼ完了するので、その動作期間の内部ノード波形を図示してある。まず、出力されるクロックT2<sub>2</sub>の立上がりタイミングについて説明する。クロックQ(n-1)<sub>1</sub>の立上がりエッジから時間tCKnの期間ノードN61のチャージがNMOSに引き抜かれ、時間tCKn後、クロックQ(n-1)<sub>2</sub>の立上がりエッジからノードN61の残りのチャージがNMOSに引き抜かれ、それにより、ノードN61の電位がインバータ15のしきい値に達したところでクロックT2<sub>2</sub>のエッジが立上がる。ノードN61の電荷をCVとし、NMO Sそれぞれのチャージ引き抜きの電流値をそれぞれIとすると、クロックQ(n-1)<sub>1</sub>からCVの電荷量をtCKnの期間Iの電流でひきぬき、残りの期間を2Iで引き抜いた結果すなわち

$$tCKn + (CV - tCKn \cdot I) / 2I = CV + tCKn / 2$$

がクロックQ(n-1)<sub>1</sub>の立上がりエッジからクロックT2<sub>2</sub>の立上がりまでのタイミングを表す。従って、クロックT2<sub>1</sub>の立上がりとのタイミング差をみると、丁度tCKn/2となる。

【0067】クロックT2<sub>2</sub>の立上がりタイミングは、クロックQ(n-1)<sub>1</sub>とQ(n-1)<sub>2</sub>の両方がLowになり、2入力NOR14の出力側ノードN61がHighに充電されることによる。

【0068】クロックT2<sub>3</sub>~T2<sub>8</sub>についても同様に説明され、クロックT2<sub>1</sub>~T2<sub>8</sub>の立上がりタイミング差は、それぞれ1/2tCKnになる。

【0069】パルス幅補正回路4c<sub>1</sub>~4c<sub>8</sub>は図19に示すように、インバータ16と2入力NAND17からなり、前述のように、位相が45度ずつずれたデューティ25%の8相のLパルス(分割信号)群P2<sub>1</sub>~P2<sub>8</sub>を生成する。

【0070】多重化回路4b<sub>1</sub>~4b<sub>4</sub>は図20に示すように、2入力NAND18からなり、前述のように、位相が90度ずつずれたデューティ50%の4相のHパルス(クロック)群Qn<sub>1</sub>~Qn<sub>4</sub>を生成する。クロックQn<sub>1</sub>~Qn<sub>4</sub>の周期は、クロックQ(n-1)<sub>1</sub>~Q(n-1)<sub>4</sub>の丁度1/2になる。

【0071】以上のように本実施例においても、共通ノード(図15では、N61)の負荷を可変にする必要な条件は、実施例1と等しいので、動作目的の等しい容量、NMOSを組み合わせている。従って、本実施例においても、外部クロック信号1の周期に対する動作範囲の増大のみならず、デバイスの特性ばらつきが解消される。

【0072】以上説明したように、本実施例では、外部クロック1を4分周し、4相のクロックをあらかじめ作ることにより、PLL、DLLなどのフィードバック回路を使うことなく、逡倍クロックを作ることが可能になった。また本実施例では、4分周することで、NAND、NOR、インバータなどのCMOS基本素子を用い、完全にスタティックな単純な回路で逡倍回路を構成することができるという利点を有する。

【0073】なお、以上の実施例1、2では、二相のクロックから二相の逡倍クロック、4相のクロックから4相の逡倍クロックを生成する場合について説明したが、タイミング差分割器をツリー状に並列接続することにより、クロックの相数を2相、4相、8相と指数関数的に増やし、より高い周波数成分を発生することが可能である。

【0074】

【発明の効果】以上説明したように本発明によれば、外部クロックを多相のクロックに分周し、各相の中間タイミングをとることにより、逡倍したクロックをループ構成を用いることなく、容易に生成することができる。

【0075】したがって、逡倍クロックを得る期間を短縮することでき、また、必要なクロック数があらかじめ予測できるため、逡倍されたクロックを使用するまでの待ち時間を大幅に削減することができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るクロック信号制御装置を示す回路構成図である。

【図2】本発明の実施例1を示す回路構成図である。

【図3】本発明の実施例1の動作を示すタイミングチャートである。

【図4】本発明の実施例1に用いた二相クロック逡倍回路を示す回路図である。

【図5】本発明の実施例1に用いた二相クロック逡倍回路の動作を示すタイミングチャートである。

【図6】本発明の実施例1に用いたタイミング差分割器を示す回路図である。

【図7】本発明の実施例1に用いたタイミング差分割器を示す回路図である。

【図8】本発明の実施例1に用いたタイミング差分割器の具体例を示す回路図である。

【図9】本発明の実施例1に用いたタイミング差分割器の具体例を示す回路図である。

【図10】本発明の実施例1に用いた4組のタイミング差分割器の動作を示すタイミングチャートである。

【図11】本発明の実施例1に用いた多重化回路の具体例を示す回路図である。

【図12】本発明の実施例2を示す回路構成図である。

【図13】本発明の実施例2の動作を示すタイミングチャートである。

【図14】本発明の実施例2に用いた4相クロック逡倍

回路の具体例を示す回路図である。

【図15】本発明の実施例2に用いた4相クロック逡倍回路の動作を示すタイミングチャートである。

【図16】本発明の実施例2に用いたタイミング差分割器の具体例を示す回路図である。

【図17】本発明の実施例2に用いたタイミング差分割器の具体例を示す回路図である。

【図18】本発明の実施例2に示すタイミング差分割器の動作を示すタイミングチャートである。

【図19】本発明の実施例2に用いたパルス幅補正回路の具体例を示す回路図である。

【図20】本発明の実施例2に用いた多重化回路の具体例を示す回路図である。

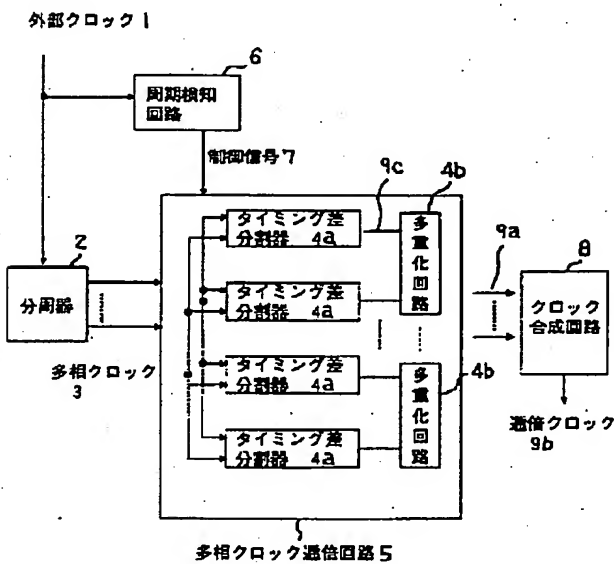
【図21】従来例のクロック信号を逡倍する回路であって、遅延回路列を用いた場合を示す回路図である。

【図22】従来例のクロック信号を逡倍する回路であって、PLLを用いた場合を示す回路図である。

【符号の説明】

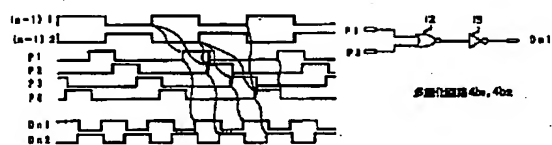
- 1 外部クロック
- 2 分周器
- 3 多相クロック
- 4、4a<sub>1</sub>～4a<sub>8</sub> タイミング差分割回路
- 5 多相クロック逡倍回路
- 6 周期検知回路
- 7 制御信号
- 8 クロック合成回路
- 9a 多相クロック
- 9b 逡倍クロック
- 9c クロック

【図1】

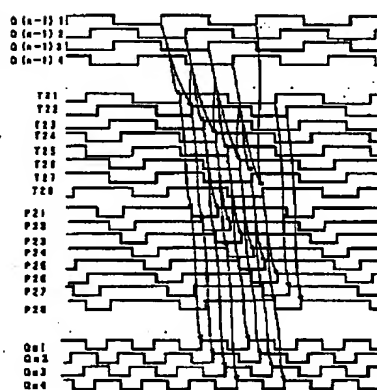


【図5】

【図11】

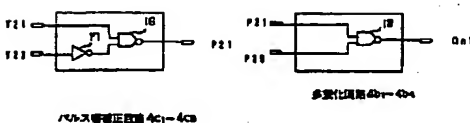


【図15】

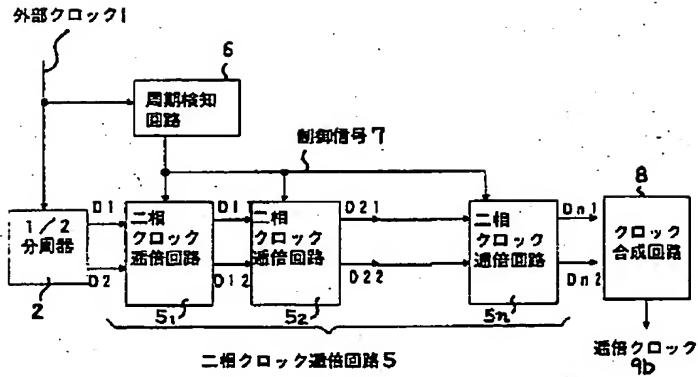


【図19】

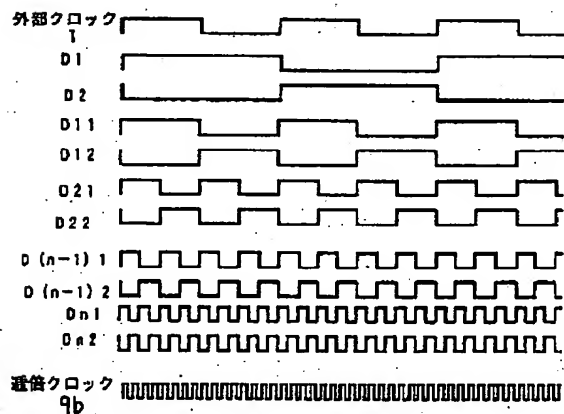
【図20】



【図2】

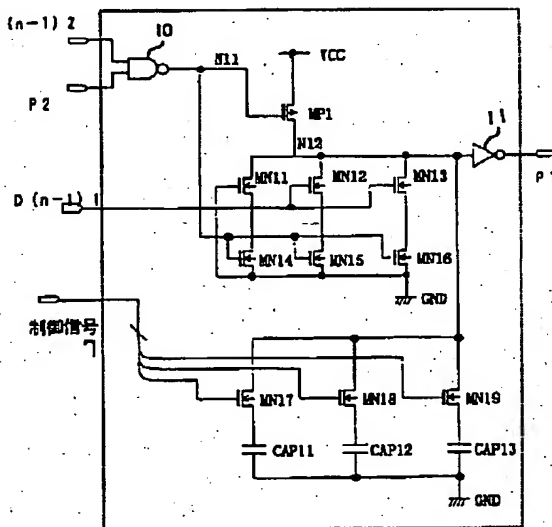


【図3】

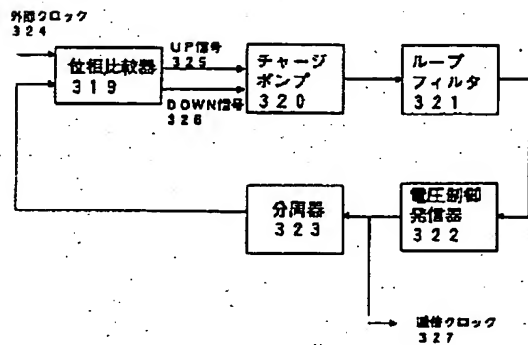


n=4の場合

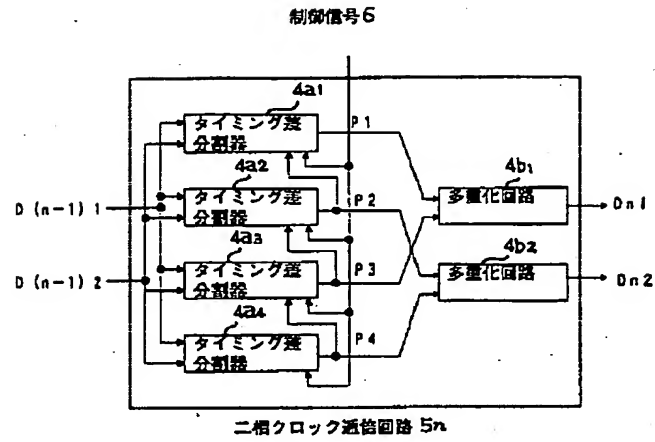
【図6】

タイミング遅  
分割器 4a1

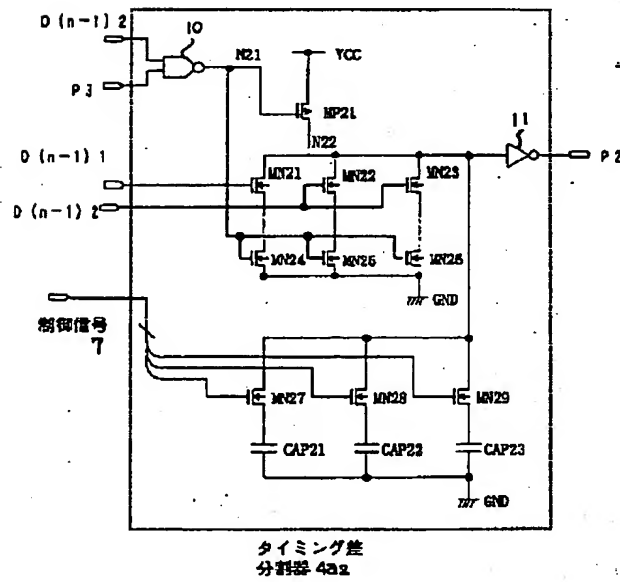
【図22】



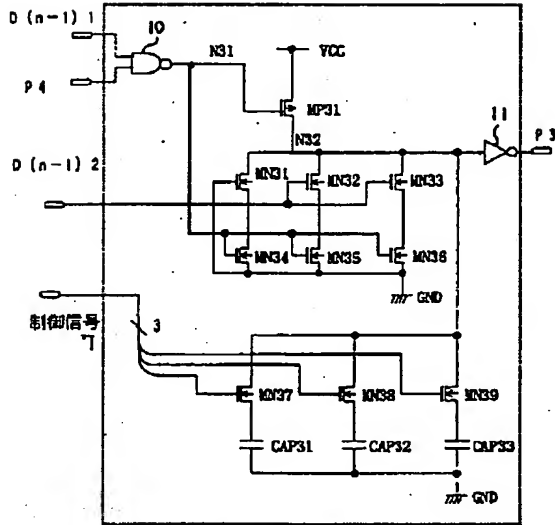
【図4】



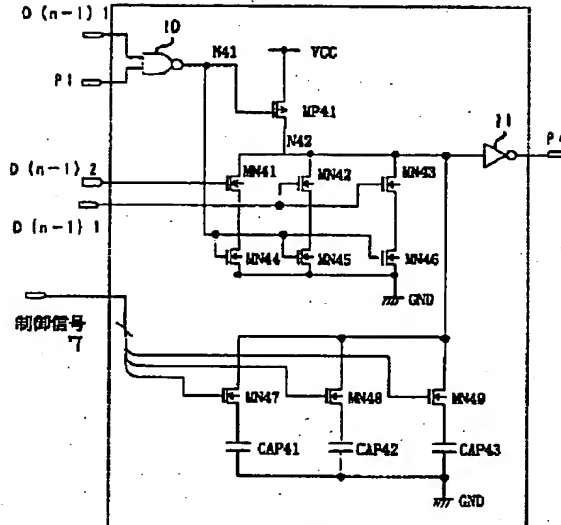
【図7】



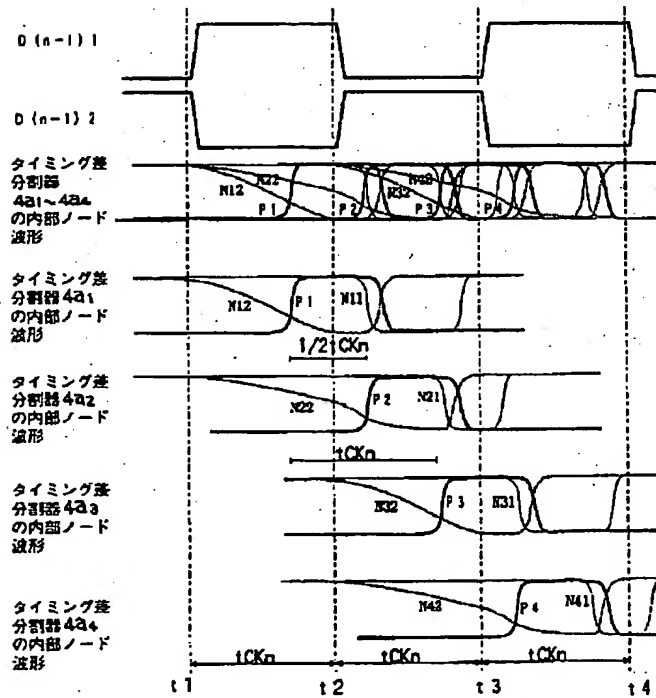
【図8】

タイミング差  
分割器 4a3

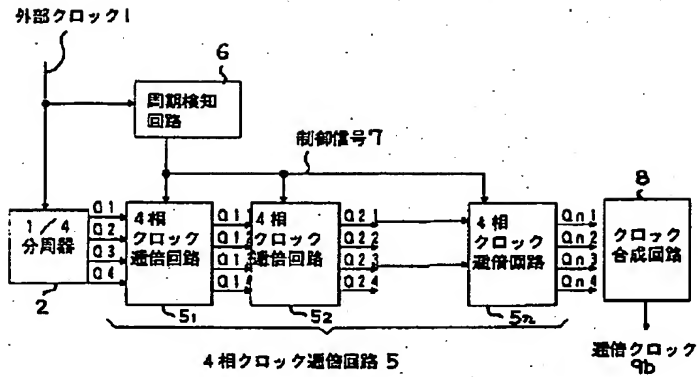
【図9】

タイミング差  
分割器 4a4

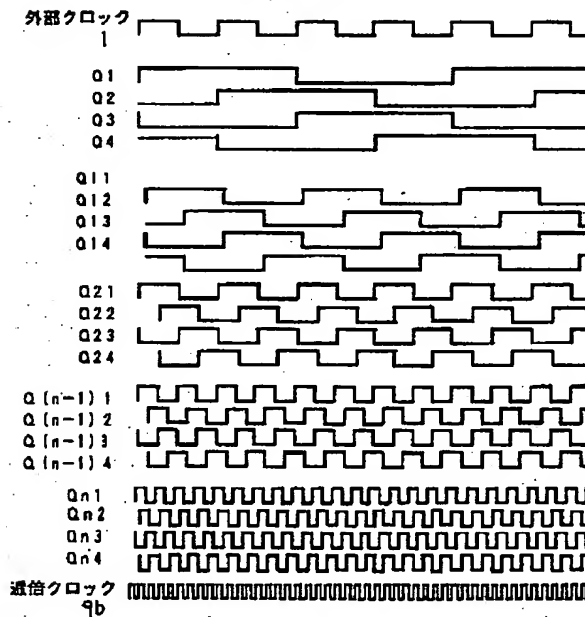
【図10】



【図12】

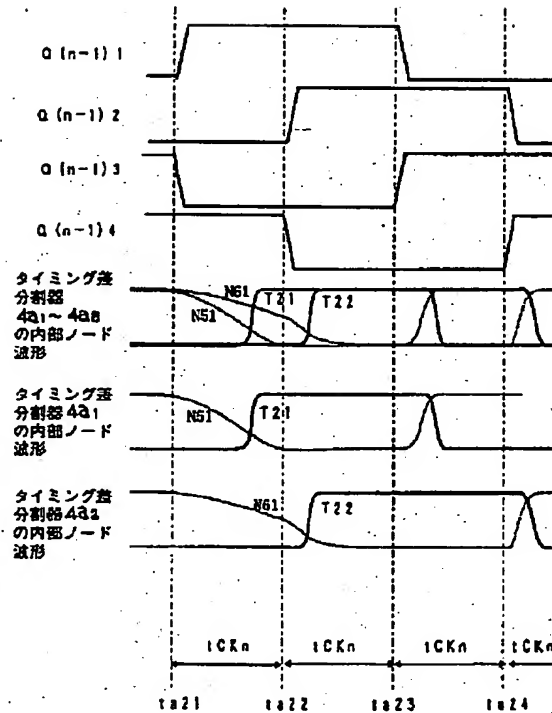


【図13】

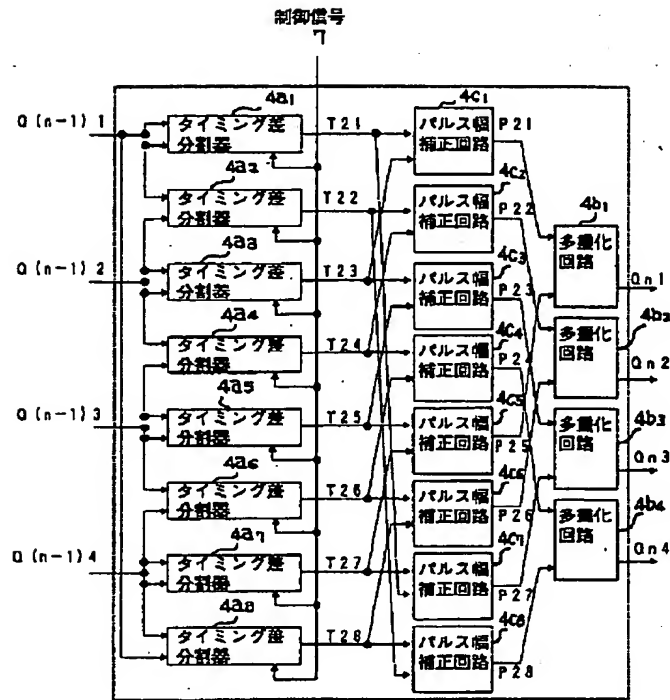


n=4の場合

【図18】

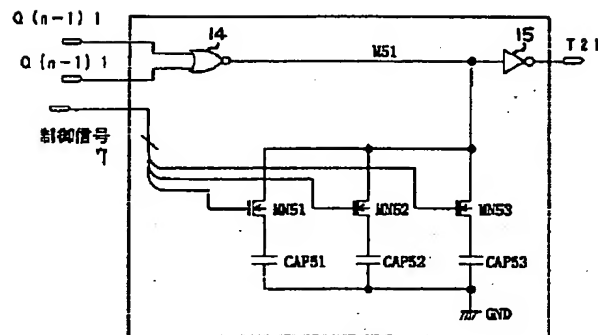


【図14】



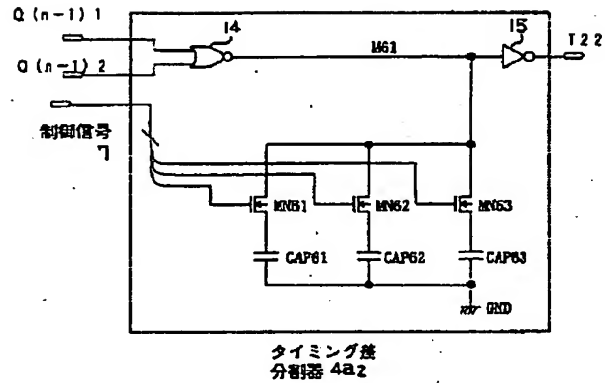
4相クロック乗倍回路 5

【図16】

タイミング遅  
分割器 4a1



【図17】



【図21】

